

**MANUFACTURE OF INSULATED GATE TYPE FIELD-EFFECT SEMICONDUCTOR DEVICE**

**Publication number:** JP6089904

**Publication date:** 1994-03-29

**Inventor:** YAMAZAKI SHUNPEI

**Applicant:** SEMICONDUCTOR ENERGY LAB

**Classification:**

**- international:** H01L21/265; H01L21/336; H01L29/78; H01L21/02;  
H01L29/66; (IPC1-7): H01L21/265; H01L21/336;  
H01L29/784

**- European:**

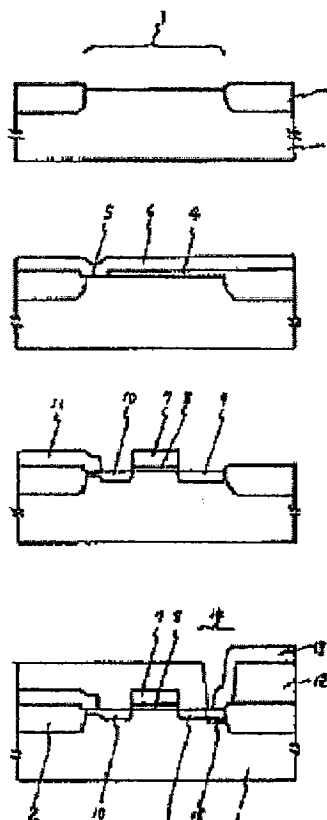
**Application number:** JP19920308326 19921022

**Priority number(s):** JP19920308326 19921022

[Report a data error here](#)

**Abstract of JP6089904**

**PURPOSE:**To form impurity areas constituting a source and drain at high concentrations at specific depths by injecting impurities from the inside of plasma by exposing a semiconductor to a reactive gas containing a trivalent or quinquevalent element transformed to plasma. **CONSTITUTION:**A film 6 having an opening 5 is formed on a semiconductor 1. Then a source area 10 and drain area 9 having junction depths of 200Angstrom -0.3um, preferably, 800Angstrom -0.2um are formed on the surface of the semiconductor in the opening 5 by exposing the semiconductor 1 to a reactive gas containing a trivalent or quinquevalent element transformed to plasma. At the time of forming the areas 10 and 9, shallow junctions are obtained by injecting impurities at a high concentration (impurity concentration:  $\geq 10^{19}$  cm<sup>-3</sup>, preferably,  $5 \times 10^{19}$  to  $1 \times 10^{21}$  cm<sup>-3</sup>) in the form of plasma ion implantation in a reactive gas atmosphere containing the plasma of impurities to be injected. Therefore, the productivity can be improved.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-89904

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/336

29/784

// H01L 21/265

7377-4M

8617-4M

H01L 29/78

21/265

301 P

D

審査請求 有 発明の数1(全7頁)

(21)出願番号

特願平4-308326

(62)分割の表示

特願昭57-188057の分割

(22)出願日

昭和57年(1982)10月25日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷396番地

(72)発明者 山崎 舜平

東京都世田谷区北烏山7丁目21番21号 株

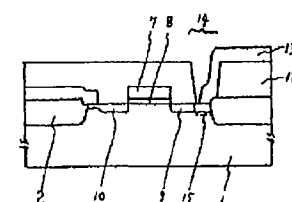
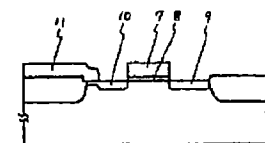
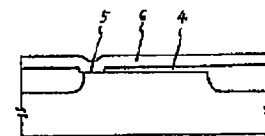
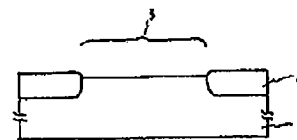
式会社半導体エネルギー研究所内

(54)【発明の名称】 絶縁ゲート型電界効果半導体装置の作製方法

(57)【要約】 (修正有)

【目的】 絶縁ゲート型FETに浅い高濃度のソース、ドレインを形成する、生産効率のよい製造方法を提供する。

【構成】 必要とされる高濃度の浅い接合の形成を、プラズマ化された不純物を含む雰囲気中におけるドーピングによって行う。この際、ドーピングを行う半導体上に選択的に絶縁物を形成し、該絶縁物に形成された開孔部を用いて、プラズマによるドーピングを行う。



(2)

1

## 【特許請求の範囲】

【請求項1】 半導体と該半導体上に開穴部を有する絶縁物とを有し、前記開穴部において前記半導体表面が露呈した半導体装置を、プラズマ処理装置内に配設し、電気エネルギーを与えて、プラズマ化した水素またはヘリウムで希釈された3価または5価の不純物の反応性気体雰囲気中に露呈せしめることにより、前記開穴部の前記半導体内に3価または5価の不純物をプラズマイオン注入して不純物領域を形成せしめる工程と、該工程の後、導体または半導体を前記絶縁物上および前記不純物領域上に形成せしめることを特徴とする半導体装置作製方法。

## 【発明の詳細な説明】

【0001】この発明は絶縁ゲイト型電界効果半導体装置（IGFETという）のソース、ドレインをプラズマ注入法により形成せしめることを特徴とする。この発明は、ソース、ドレインを構成する不純物領域を200Å～0.3μmの接合深さ、好ましくは800Å～0.2μmの深さを有し、その不純物濃度を $10^{19}\text{cm}^{-3}$ 以上好ましくは $5\times 10^{19}\sim 1\times 10^{21}\text{cm}^{-3}$ を有する浅い接合で有し、かつ高不純物濃度の不純物領域を形成せしめることを特徴とする。従来ソース、ドレインを構成させるには、熱拡散法またはイオン注入法が知られていた。しかし熱拡散法に関しては、接合の深さが0.5～3μmも深くなってしまい、ゲート部での寄生容量の増大即ち高周波特性が十分でないという欠点を有していた。

【0002】他方イオン注入法が知られている。これはIGFETのフレッシュホールトコントロールには精度制御が可能であり、かつ低温度のため、きわめて好ましいものであった。しかしソース、ドレインを構成させるための高不純物濃度であり、かつ浅い接合を構成させるには、1バッチ2～4時間もかかり、最適な装置がなく、実用化にはもう一歩であった。特にかかる高温でのイオン注入用炉は、5～7億円と高価であり、その数分の一の価格にて高不純物濃度注入を行い得る方法、装置が求められていた。

【0003】本発明はかかる従来の2つの方法では成就しなかった浅い接合を高不純物注入で有せしめたためIGFETのソース、ドレインの作製をプラズマイオンインプランテーション（PIIという）を用いたことを特徴としている。

【0004】以下に図面に従ってその詳細を示す。第1図は本発明に用いられたIGFETの製造工程を示す。図面において、半導体基板（1）に対し選択酸化技術により埋置してフィールド絶縁物（2）を0.5～2μmの厚さに形成した。さらに第1図（B）に示される如く、ゲイト絶縁物（4）を100～500Åの厚さに酸化珪素、窒化珪素またはこれらの多層膜により形成し、さらにコンタクト用穴（5）をフォトリソ法により作製した。さらにプラズマCVD法により、半導体ま

2

たは導体を形成した。即ち半導体を形成する場合は100%シランを200～300℃の温度で反応炉内圧力0.05～0.2torr例えば0.1torr、13.56MHzの高周波を5～10W加え、1～10Å/秒で形成した。基板がP型半導体ではリンまたは砒素をPH<sub>3</sub>またはAsH<sub>3</sub>にて（PH<sub>3</sub>またはAsH<sub>3</sub>）/SiH<sub>4</sub> 0.5～2%に混合して導入した。かくして半導体には3価または5価の不純物が添加され、プラズマ気相法（PIID）により0.2～1μmの厚さに形成された。このPCVD法は本発明人の出願になる特許願（プラズマ気相反応装置 557,925出願 特願昭57-167280）に従った。

【0005】またこの半導体（6）のかわりに導体をWF<sub>6</sub>またはMoCl<sub>3</sub>を反応性気体として導入し形成してもよい。またこれらと珪化物気体とを混合し、SixWyまたはSixMoyを形成し、さらにこの中にリンを添加してその電気伝導度を高めることは有効であった。

【0006】さらに第1図（C）に示される如く、フォトリソ法によりリード（11）、ゲイト（7）を形成した。この後前記したPCVD装置により、0.5～2%にPH<sub>3</sub>またはAsH<sub>3</sub>を水素またはHeによりこの中を希釈した反応性気体を導入し、0.05～2torr代表的には0.1torr、基板温度200～600℃として電気エネルギーを供給して、前記した反応性気体をプラズマ化した。かかるプラズマ化したリンまたは砒素は、プラズマ化し運動エネルギーを受けているため半導体中にソース（10）、ドレイン（9）を構成する不純物として注入されたいわゆるプラズマイオン注入を行った。このPIIは低温度の、精度制御は不可能であるが、 $1\times 10^{19}\sim 10^{21}\text{cm}^{-3}$ の高濃度に不純物を注入し、かつ加える高周波エネルギーが10W～1KWでよい、面積も同様にPIIが可能であるという特徴を有する。例えば本発明に用いたPII装置は5インチウエハを70枚ローディングさせ、そのローディング空間は高さ20cm、幅60cm、奥行き60cmである。ここにウエハをサポータにそわせて林立させ、その上方および下方の一对を構成する電極間に放電させることにより成就した。

【0007】かくすると70枚、/0.5時間での多量生産が $1\times 10^{19}\sim 10^{21}\text{cm}^{-3}$ 代表的には $2\times 10^{20}\text{cm}^{-3}$ の不純物の注入を100Å～0.3μmの深さに行って可能であった。さらにこのPIIの後再び300～500℃にて水素のみのプラズマ処理をし、不要の付着不純物等を除去し、かつ水素イオンを半導体中に注入して格子欠陥、損傷の中和を行った。特にSi-H結合を有せしめた場合有効であった。この後これら半導体基板をPII装置より取り出し層間絶縁物（12）を作った。さらに穴（14）をあけ2層目の配線（13）を作った。この2層目の配線（13）もアルミニウムをA1

(3)

3  
 $(\text{CH}_2)_3$  とさらに  $\text{SiH}_4$  をその 1～5% 添加し、加えて  $\text{PH}_3$  を 0.1～1% 添加して、コンタクトのスパイク発生のないアルミニウム膜を PCVD 法により形成した。この時この (13) の形成の前に、この穴に対し同一導電型の不純物を PII 法により注入し、オーム接触性を助長させてもよい。以上において、ソース、ドレインは高純度に浅い注入を行った。この層間絶縁物を形成する前に水素雰囲気中で 400～800℃ の温度でプラズマ法により発生した損傷を除去するため、熱アニールを行うことは有効である。かかる低温でのアニールは、本発明方法がその各イオンの有する運動エネルギーが小さく、浅い注入を行うため可能である。かつ 800℃ 以下であるため、注入された不純物の再拡散もなく、また省エネルギーの観点からも優れたものであった。

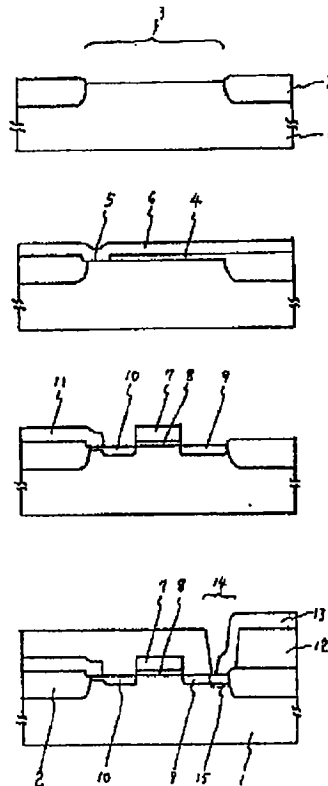
【0008】本発明では P 型シリコン基板上の N 型のソ

4  
 ースドレインを作る場合が一般的であり、チャンネル形成領域はエンハンスメント型、ディプレッション型であっても、またキャリアとして少数キャリアを用いる方法であっても、また多数キャリアを用いる方法であってもよい。さらに逆の N 型基板に P 型のホウ素の注入を行ってもよい。また基板として、シリコンではなく、低温工程省エネルギー工程のため  $\text{GaAs}$ 、 $\text{GaAlAs}$ 、 $\text{InP}$  等の 35 化合物に対しても適用可能である。またこの発明は 1 つの IGFET ではなく 1 Tr/cell のメモリ、フローティングゲートを用いた EPROM 等の IC または VLSI のソースドレインの作製に対しても有効であり、マイクロコンピュータに対しても有効である。

【図面の簡単な説明】

【図1】 絶縁ゲート型電界効果半導体装置の製造工程を示す。

【図1】



【手続補正書】

【提出日】平成4年11月11日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 絶縁ゲート型電界効果半導体装置の作製方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

(4)

【補正内容】

【特許請求の範囲】

【請求項1】 絶縁ゲイト型電界効果半導体装置の作製方法であって、

半導体上に開穴部を有する膜を形成する工程と、

前記半導体をプラズマ化された3価または5価の元素を含んだ反応性気体に曝し、前記開穴部における半導体表面において200Å～0.3μmの深さを有するソース領域、ドレイン領域を形成する工程と、

を有することを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

【請求項2】 請求項1において、ソース領域、ドレイン領域の形成後に400～800度の温度で熱アニールを行なうことを特徴とする絶縁ゲイト型電界効果半導体装置の作製方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は絶縁ゲイト型電界効果半導体装置（IGFETという）のソース領域、ドレイン領域を形成する方法に関する。

【0002】

【従来の技術】従来、絶縁ゲイト型電界効果半導体のソース領域及びドレイン領域を構成する方法として、熱拡散法またはイオン注入法が知られていた。しかし熱拡散法に関しては、接合の深さが0.5～3μmも深くなってしまう、ゲート部での寄生容量の増大即ち高周波特性が十分でないという欠点を有していた。

【0003】他方イオン注入法が知られている。これはIGFETのフレッシュホールトコントロールには精度制御が可能であり、かつ低温度のため、きわめて好ましいものであった。しかしソース、ドレインを構成させるための高不純物濃度であり、かつ浅い接合を構成させるには、1バッチ2～4時間もかかり、最適な装置がなく、実用化にはもう一歩であった。特にかかる高温でのイオン注入用炉は、5～7億円と高価であり、その数分の一の価格にて高不純物濃度注入を行い得る方法、装置が求められていた。

【0004】

【発明が解決しようとする課題】

【0005】本発明は、絶縁ゲイト型電界効果半導体装置のソース領域及びドレイン領域を形成する手段として、低価格すなわち高生産性を有し、しかも高不純物濃度の領域を浅い深さで形成することのできるドーピング方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、絶縁ゲイト型電界効果半導体装置の作製方法であって、半導体上に開穴部を有する膜を形成する工程と、前記半導体をプラズマ化された3価または5価の元素を含んだ反応性気体に曝し、前記開穴部における半導体表面において200Å～0.3μmの深さを有するソース領域、ドレイン領域を形成する工程と、を有することを特徴とする絶縁ゲイト型半導体装置の作製方法。を要旨するものである。

【0007】上記のように本発明は、従来の方法では成就しなかった浅い接合を高不純物注入をプラズマ化された注入せんとする不純物を含んだ反応性気体雰囲気中でのプラズマイオンインプラントーション（PIIまたはプラズマイオン注入という）によって行なうことを特徴とする。

【0008】この発明は、ソース、ドレインを構成する不純物領域を200Å～0.3μmの接合深さ、好ましくは800Å～0.2μmの深さに形成し、その不純物濃度を $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上好ましくは $5 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ を有する浅い接合とし、かつ高不純物濃度の不純物領域を形成せしめることを特徴とする。

【0009】

【実施例】以下に図面に従って本発明を利用した絶縁ゲイト型電界効果半導体装置の作製の一例を示す。第1図は本発明に用いられたIGFETの製造工程を示す。図面において、まず半導体基板（1）に対し選択酸化技術により埋置してフィールド絶縁物（2）を0.5～2μmの厚さに形成した。さらに第1図（B）に示される如く、ゲイト絶縁物（4）を100～500Åの厚さに酸化珪素、窒化珪素またはこれらの多層膜により形成し、さらにコンタクト用穴（5）をフォトリソ法により作製した。さらにプラズマCVD法により、半導体または導体（6）を形成した。（6）として半導体を形成する場合は、プラズマCVD法を用いた。即ち、100%シランを反応炉内に導入し、200～300℃の温度の加熱し、圧力を0.05～0.2torr例えば0.1torrとし、13.56MHzの高周波を5～10W加え、成膜速度として1～10Å/秒で形成することによって、シリコンの半導体膜（6）を形成する。

【0010】またこのシリコン半導体膜（6）の形成方法としては、以下のような方法を採用することができ。即ち、基板がP型半導体ではリンまたは砒素をPH<sub>3</sub>またはAsH<sub>3</sub>にて（PH<sub>3</sub>またはAsH<sub>3</sub>）/SiH<sub>4</sub>0.5～2%に混合して導入し、3価または5価の不純物が添加された半導体膜を0.2～1μmに厚さに形成する方法である。なお、以上のPCVD法は本発明人の出願になる特許願（プラズマ気相反応装置 S57.9.25出願 特願昭57-167280）に従った。

【0011】またこの半導体（6）のかわりに導体をW

(5)

Fe または MoCl<sub>3</sub> を反応性気体として導入し形成してもよい。またこれらと珪化物気体とを混合し、Si<sub>x</sub>W<sub>y</sub> または Si<sub>x</sub>Mo<sub>y</sub> を形成し、さらにこの中にリンを添加してその電気伝導度を高めることは有効であった。

【0012】つぎに、ソース領域(10)及びドレイン領域(9)を形成するための開穴部が形成された膜を以下のようにして形成した。即ち、フォトリソ法によりリード(11)、ゲート(7)を形成した。この後前記したPCVD装置により、0.5～2%にPH<sub>3</sub>またはAsH<sub>3</sub>を水素またはHeによりこの中を希釈した反応性気体を導入し、0.05～2torr 代表的には0.1torr、基板温度200～600℃として電気エネルギーを供給して、前記した反応性気体をプラズマ化した。かかるプラズマ化したリンまたは砒素は、プラズマ化し運動エネルギーを受けているため半導体(1)中にソース(10)、ドレイン(9)を構成する不純物として注入され、いわゆるプラズマイオン注入(PII)が行なわれる。

【0013】このプラズマイオン注入は、低温度で行なうことができ、しかも浅い領域において $1 \times 10^{19} \sim 10^{21} \text{ cm}^{-3}$ の高濃度に不純物を注入することができる。また加える高周波エネルギーも10W～1KWでよい。また経済的である。しかも下記に示すような方法を用いれば、複数の基板に対して同時に処理を行なうことができる。例えば、高さ20cm、幅60cm、奥行き60cmの反応空間において、70枚の5インチウエハをサポータにそわせて林立させ、その上方および下方に設置された一対の電極間から放電を行わせ、本発明のプラズマ中からの不純物注入を行うことによって、70枚、/0.5時間での多量生産が可能である。なおこの際のドーピングとしては、 $1 \times 10^{19} \sim 10^{21} \text{ cm}^{-3}$  代表的には $2 \times 10^{20} \text{ cm}^{-3}$ の不純物領域を100Å～0.3μmの深さにおいて行うことが可能である。

【0014】さらにこのプラズマイオン注入後再び300～500℃にて水素のみ、プラズマ処理をし、不要の付着不純物等を除去し、かつ水素イオンを半導体中に注入して格子欠陥、損傷の中和を行うことは、特にSi-H結合を有せしめた場合有効である。

【0015】この後これら半導体基板を装置より取り出し層間絶縁物(12)を形成した。さらに穴(14)を

あけ2層目の配線(13)を形成した。この2層目の配線(13)もアルミニウムをAl(CH<sub>3</sub>)<sub>3</sub>とさらにSiH<sub>4</sub>を1～5%添加することによって形成した。加えてPH<sub>3</sub>を0.1～1%添加して、コンタクトのスパイク発生のないアルミニウム膜をPCVD法により形成した。

【0016】この時この(13)の形成の前に、この穴に対し同一導電型の不純物をプラズマイオン注入法により注入し、オーミック性を助長させてもよい。

【0017】以上において、ソース領域、ドレイン領域に対し、不純物を高純度に浅い注入で行った。また層間絶縁物を形成する前に水素雰囲気中で400～800℃の温度でプラズマ法により発生した損傷を除去するため、熱アニールを行うことは有効である。かかる低温でのアニールは、浅い注入を行うためには有効である。また処理温度が800℃以下であるため、注入された不純物の再拡散もなく、また省エネルギーの観点からも優れたものである。

【0018】本発明を応用する場合は、シリコン基板上にN型のソース領域及びドレイン領域を作るのが一般的である。またチャネル形成領域はエンハンスメント型、ディプレッション型であっても、またキャリアとして少数キャリアを用いる方法であっても、また多数キャリアを用いる方法であってもよい。さらに逆のN型基板にP型のホウ素の注入を行う方法であってもよい。また基板としては、シリコンではなく、GaAs、GaAlAs、InP等の化合物を利用することも有効である。

【0019】またこの発明は1つのIGFETではなく1Tr/Cellのメモリ、フローティングゲートを用いたEPROM等のICまたはVLSIのソースドレインの作製に対しても有効であり、マイクロコンピュータの作製工程に対しても有効である。

【0020】

【発明の効果】本発明のプラズマに半導体を曝すことによって、プラズマ中から不純物を注入し、ソース領域、ドレイン領域を浅い深さで高濃度に行うことができた。また生産性を高くできるという特徴を得ることができた。

【図面の簡単な説明】

【図1】 絶縁ゲイト型電界効果半導体装置の製造工程を示す。

【手続補正書】

【提出日】平成5年7月23日

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】発明の詳細な説明

【補正方法】変更

【補正内容】

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は絶縁ゲイト型電界効果半導体装置(IGFETという)のソース領域、ドレイ

(6)

ン領域を形成する方法に関する。

【0002】

【従来の技術】従来、絶縁ゲイト型電界効果半導体のソース領域及びドレイン領域を構成する方法として、熱拡散法またはイオン注入法が知られていた。しかし熱拡散法に関しては、接合の深さが $0.5 \sim 3 \mu\text{m}$ も深くなってしまう、ゲート部での寄生容量の増大即ち高周波特性が十分でないという欠点を有していた。

【0003】他方イオン注入法が知られている。これはIGFETのフレッシュホールトコントロールには精度制御が可能であり、かつ低温度のため、きわめて好ましいものであった。しかしソース、ドレインを構成させるための高不純物濃度であり、かつ浅い接合を構成させるには、1バッチ2～4時間もかかり、最適な装置がなく、実用化にはもう一步であった。特にかかる高温でのイオン注入用炉は、5～7億円と高価であり、その数分の一の価格にて高不純物濃度注入を行い得る方法、装置が求められていた。

【0004】

【発明が解決しようとする課題】

【0005】本発明は、絶縁ゲイト型電界効果半導体装置のソース領域及びドレイン領域を形成する手段として、低価格すなわち高生産性を有し、しかも高不純物濃度の領域を浅い深さで形成することのできるドーピング方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、絶縁ゲイト型電界効果半導体装置の作製方法であって、半導体上に開穴部を有する膜を形成する工程と、前記半導体をプラズマ化された3価または5価の元素を含んだ反応性気体に曝し、前記開穴部における半導体表面において $200 \text{ \AA} \sim 0.3 \mu\text{m}$ の深さを有するソース領域、ドレイン領域を形成する工程と、を有することを特徴とする絶縁ゲイト型半導体装置の作製方法。を要旨するものである。

【0007】上記のように本発明は、従来の方法では成就しなかった浅い接合を高不純物注入をプラズマ化された注入せんとする不純物を含んだ反応性気体雰囲気中でのプラズマイオンインプランテーション(PIIまたはプラズマイオン注入という)によって行なうことを特徴とする。

【0008】この発明は、ソース、ドレインを構成する不純物領域を $200 \text{ \AA} \sim 0.3 \mu\text{m}$ の接合深さ、好ましくは $800 \text{ \AA} \sim 0.2 \mu\text{m}$ の深さに形成し、その不純物濃度を $10^{19} \text{ cm}^{-3}$ 以上好ましくは $5 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ を有する浅い接合とし、かつ高不純物濃度の不純物領域を形成せしめることを特徴とする。

【0009】

【実施例】以下に図面に従って本発明を利用した絶縁ゲイト型電界効果半導体装置の作製の一例を示す。第1図

は本発明に用いられたIGFETの製造工程を示す。図面において、まず半導体基板(1)に対し選択酸化技術により埋置してフィールド絶縁物(2)を $0.5 \sim 2 \mu\text{m}$ の厚さに形成した。さらに第1図(B)に示される如く、ゲイト絶縁物(4)を $100 \sim 500 \text{ \AA}$ の厚さに酸化珪素、窒化珪素またはこれらの多層膜により形成し、さらにコンタクト用穴(5)をフォトリソ法により作製した。さらにプラズマCVD法により、半導体または導体(6)を形成した。(6)として半導体を形成する場合は、プラズマCVD法を用いた。即ち、 $100\%$ シランを反応炉内に導入し、 $200 \sim 300^\circ\text{C}$ の温度の加熱し、圧力を $0.05 \sim 0.2 \text{ torr}$ 例えば $0.1 \text{ torr}$ とし、 $13.56 \text{ MHz}$ の高周波を $5 \sim 10 \text{ W}$ 加え、成膜速度として $1 \sim 10 \text{ \AA/秒}$ で形成することによって、シリコンの半導体膜(6)を形成する。

【0010】またこのシリコン半導体膜(6)の形成方法としては、以下のような方法を採用することができる。即ち、基板がP型半導体ではリンまたは砒素を $\text{PH}_3$ または $\text{AsH}_3$ にて( $\text{PH}_3$ または $\text{AsH}_3$ )/ $\text{SiH}_4$   $0.5 \sim 2\%$ に混合して導入し、3価または5価の不純物が添加された半導体膜を $0.2 \sim 1 \mu\text{m}$ の厚さに形成する方法である。なお、以上のPCVD法は本発明人の出願になる特許願(プラズマ気相反応装置 S57, 9, 25出願 特願昭57-167280)に従った。

【0011】またこの半導体(6)のかわりに導体を $\text{WF}_6$ または $\text{MoCl}_3$ を反応性気体として導入し形成してもよい。またこれらと珪化物気体とを混合し、 $\text{Si}_2\text{H}_6$ または $\text{SiXMo}$ を形成し、さらにこの中にリンを添加してその電気伝導度を高めることは有効であった。

【0012】つぎに、ソース領域(10)及びドレイン領域(9)を形成するための開穴部が形成された膜を以下のようにして形成した。即ち、フォトリソ法によりリード(11)、ゲイト(7)を形成した。この後前記したPCVD装置により、 $0.5 \sim 2\%$ に $\text{PH}_3$ または $\text{AsH}_3$ を水素または $\text{He}$ によりこの中を希釈した反応性気体を導入し、 $0.05 \sim 2 \text{ torr}$ 代表的には $0.1 \text{ torr}$ 、基板温度 $200 \sim 600^\circ\text{C}$ として電気エネルギーを供給して、前記した反応性気体をプラズマ化した。かかるプラズマ化したリンまたは砒素は、プラズマ化し運動エネルギーを受けているため半導体(1)中にソース(10)、ドレイン(9)を構成する不純物として注入され、いわゆるプラズマイオン注入(PII)が行なわれる。

【0013】このプラズマイオン注入は、低温度で行なうことができ、しかも浅い領域において $1 \times 10^{19} \sim 10^{21} \text{ cm}^{-3}$ の高濃度に不純物を注入することができる。また加える高周波エネルギーも $10 \text{ W} \sim 1 \text{ KW}$ でよいから経済的であ

(7)

る。しかも下記に示すような方法を用いれば、複数の基板に対して同時に処理を行なうことができる。例えば、高さ20cm、幅60cm、奥行60cmの反応空間において、70枚の5インチウエハをサポートにそわせて林立させ、その上方および下方に設置された一対の電極間から放電を行わせ、本発明のプラズマ中から不純物注入を行うことによって70枚、/0.5時間での多量生産が可能である。なおこの際のドーピングとしては、 $1 \times 10^{19} \sim 10^{21} \text{ cm}^{-3}$  代表的には  $2 \times 10^{20} \text{ cm}^{-3}$  の不純物領域を100Å～0.3μmの深さにおいて行うことが可能である。

【0014】さらにこのプラズマイオン注入後再び300～500℃にて水素のみのプラズマ処理をし、不要の付着不純物等を除去し、かつ水素イオンを半導体中に注入して格子欠陥、損傷の中和を行うことは、特にSi-H結合を有せしめた場合有効である。

【0015】この後これら半導体基板を装置より取り出し層間絶縁物(12)を形成した。さらに穴(14)をあけ2層目の配線(13)を形成した。この2層目の配線(13)もアルミニウムを $\text{Al}(\text{CH}_3)_3$ とさらに $\text{SiH}_4$ を1～5%添加することによって形成した。加えて $\text{PH}_3$ を0.1～1%添加して、コンタクトのスパイク発生のないアルミニウム膜をPCVD法により形成した。

【0016】この時この(13)の形成の前に、この穴に対し同一導電型の不純物をプラズマイオン注入法により注入し、オーミック性を助長させてもよい。

【0017】以上において、ソース領域、ドレイン領域

に対し、不純物を高純度に浅い注入で行った。また層間絶縁物を形成する前に水素雰囲気中で400～800℃の温度でプラズマ法により発生した損傷を除去するため、熱アニールを行うことは有効である。かかる低温でのアニールは、浅い注入を行うためには有効である。また処理温度が800℃以下であるため、注入された不純物の再拡散もなく、また省エネルギーの観点からも優れたものである。

【0018】本発明を応用する場合は、シリコン基板上にN型のソース領域及びドレイン領域を作るのが一般的である。またチャネル形成領域はエンハンスメント型、ディプレッション型であっても、またキャリアとして少数キャリアを用いる方法であっても、また多数キャリアを用いる方法であってもよい。さらに逆のN型基板にP型のホウ素の注入を行う方法であってもよい。また基板としては、シリコンではなく、GaAs、GaAlAs、InP等の化合物を利用することも有効である。

【0019】またこの発明は1つのIGFETではなく1Tr/cellのメモリ、フローティングゲートを用いたEPROM等のICまたはVLSIのソースドレインの作製に対しても有効であり、マイクロコンピュータの作製工程に対しても有効である。

【0020】

【発明の効果】本発明のプラズマに半導体を曝すことによって、プラズマ中から不純物を注入し、ソース領域、ドレイン領域を浅い深さで高濃度に行うことができた。また生産性を高くできるという特徴を得ることができた。